

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-77211

(P2001-77211A)

(43)公開日 平成13年3月23日 (2001.3.23)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	マークコード(参考)
H 01 L 21/8238		H 01 L 27/08	3 2 1 H 5 F 0 3 8
27/092		27/06	3 1 1 C 5 F 0 4 0
27/04		27/04	H 5 F 0 4 8
21/822		27/08	3 2 1 N
27/06	3 1 1	29/78	3 0 1 K

審査請求 未請求 請求項の数17 O L (全 16 頁) 最終頁に続く

(21)出願番号 特願2000-90065(P2000-90065)

(22)出願日 平成12年3月29日 (2000.3.29)

(31)優先権主張番号 特願平11-187973

(32)優先日 平成11年7月1日 (1999.7.1)

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 蓮見 良治

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72)発明者 吉富 崇

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

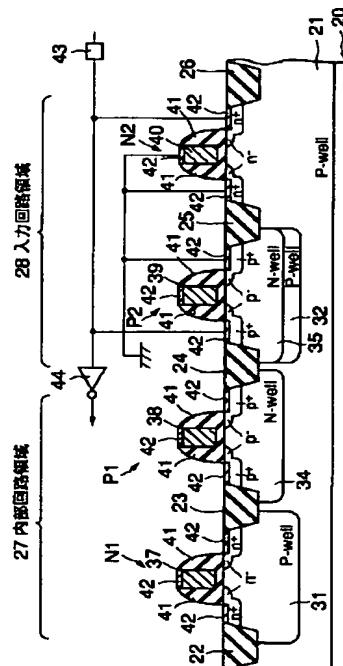
最終頁に続く

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【課題】 製造工程の増加を抑えて内部回路領域のトランジスタとESD保護素子としてのトランジスタを形成することが困難であった。

【解決手段】 入力回路領域28に形成されたESD保護素子を構成するトランジスタN2、P2は、内部回路領域27のトランジスタN1、P1と同様にLDD構造とされている。これらトランジスタN2、P2のチャネル領域の不純物濃度はトランジスタN1、P1のチャネル領域の不純物濃度より低く設定されている。トランジスタN2、P2がトランジスタN1、P1と同一構成であるため、製造工程の増加を抑止できる。



1

## 【特許請求の範囲】

【請求項1】 ドレインが入力パッドに接続され、ゲート及びソースが接地された第1のNチャネルトランジスタ、及び第1のPチャネルトランジスタと、  
LDD構造を有する第2のNチャネルトランジスタ、及び第2のPチャネルトランジスタとを有し、  
前記第1のNチャネルトランジスタ及び第1のPチャネルトランジスタはLDD構造とされ、チャネル領域の不純物濃度が前記第2のNチャネルトランジスタ及び第2のPチャネルトランジスタの不純物濃度より低く設定されていることを特徴とする半導体装置。

【請求項2】 前記第1のNチャネルトランジスタ及び第1のPチャネルトランジスタのゲート長は、前記第2のNチャネルトランジスタ及び第2のPチャネルトランジスタのゲート長より長く設定されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 第1導電型の半導体基板の表面領域に複数の素子分離領域を形成する工程と、  
前記半導体基板の内部回路領域に第1導電型の第1のウェル領域、及び第2導電型の第2のウェル領域を形成し、前記半導体基板の入力回路領域に第1導電型の第3のウェル領域及び第2導電型の第4のウェル領域を形成する工程と、  
前記半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコン膜を形成し、このポリシリコン膜及び前記ゲート絶縁膜をエッチングし、前記第1、第2、第3、第4のウェル領域上に第1、第2、第3、第4のゲート電極を形成する工程と、  
前記第1、第3のゲート電極をマスクとして前記第1、第3のウェル領域に第2導電型の不純物を導入して、第2導電型の第1の不純物拡散領域を形成し、前記第2、第4のゲート電極をマスクとして前記第2、第4のウェル領域に第1導電型の不純物を導入して、第1導電型の第1の不純物拡散領域を形成する工程と、  
前記第1乃至第4のゲート電極の側面に側壁絶縁膜を形成する工程と、  
前記側壁絶縁膜をマスクとして前記第1、第3のウェル領域内に前記第2導電型の第1の不純物拡散領域より濃度が高い第2導電型の不純物を導入して、第2導電型の第2の不純物拡散領域を形成し、前記側壁絶縁膜をマスクとして前記第2、第4のウェル領域に前記第1導電型の第1の不純物拡散領域より濃度が高い第1導電型の不純物を導入し、第1導電型の第2の不純物拡散領域を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項4】 第1導電型の半導体基板の表面領域に複数の素子分離領域を形成する工程と、  
前記半導体基板の内部回路領域に第1導電型の第1のウェル領域、及び第2導電型の第2のウェル領域を形成し、前記半導体基板の入力回路領域に第1導電型の第3

10

2

のウェル領域及び第2導電型の第4のウェル領域を形成する工程と、

前記半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコン膜を形成し、このポリシリコン膜及び前記ゲート絶縁膜をエッチングし、前記第1、第2、第3、第4のウェル領域上に第1、第2、第3、第4のゲート電極を形成する工程と、  
前記第1、第3のゲート電極をマスクとして前記第1、第3のウェル領域に第2導電型の不純物を導入して、第2導電型の第1の不純物拡散領域を形成し、前記第2、第4のゲート電極をマスクとして前記第2、第4のウェル領域に第1導電型の不純物を導入して、第1導電型の第1の不純物拡散領域を形成する工程と、  
前記第1乃至第4のゲート電極の側面に側壁絶縁膜を形成する工程と、  
前記側壁絶縁膜をマスクとして前記第1のウェル領域に第2導電型の第1の不純物拡散領域より濃度が高い第2導電型の不純物を導入して、第2導電型の第2の不純物拡散領域を形成し、前記側壁絶縁膜をマスクとして前記第2のウェル領域に第1導電型の不純物を導入し、第1導電型の第2の不純物拡散領域を形成する工程とを具備することを特徴とする半導体装置の製造方法。

20

【請求項5】 第1導電型の半導体基板の表面領域に複数の素子分離領域を形成する工程と、  
前記半導体基板の内部回路領域に第1導電型の第1のウェル領域、及び第2導電型の第2のウェル領域を形成し、前記半導体基板の入力回路領域に第1導電型の第3のウェル領域及び第2導電型の第4のウェル領域を形成する工程と、

30

前記半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコン膜を形成し、このポリシリコン膜及び前記ゲート絶縁膜をエッチングし、前記第1、第2、第3、第4のウェル領域上に第1、第2、第3、第4のゲート電極を形成する工程と、  
前記第1のゲート電極をマスクとして前記第1のウェル領域に第2導電型の不純物を導入して、第2導電型の第1の不純物拡散領域を形成し、前記第2のゲート電極をマスクとして前記第2のウェル領域に第1導電型の不純物を導入して、第1導電型の第1の不純物拡散領域を形成する工程と、  
前記第1乃至第4のゲート電極の側面に側壁絶縁膜を形成する工程と、

40

前記側壁絶縁膜をマスクとして前記第1、第3のウェル領域内に前記第2導電型の第1の不純物拡散領域より濃度が高い第2導電型の不純物を導入して、第2導電型の第2の不純物拡散領域を形成し、前記側壁絶縁膜をマスクとして前記第2、第4のウェル領域に前記第1導電型の不純物を導入し、第1導電型の第2の不純物拡散領域を形成する工程と、  
前記第1乃至第4のゲート電極の側面に側壁絶縁膜を形成する工程と、

50

前記側壁絶縁膜をマスクとして前記第1、第3のウェル領域に第2導電型の第1の不純物拡散領域より濃度が高い第2導電型の不純物を導入して、第2導電型の第2の不純物拡散領域を形成し、前記側壁絶縁膜をマスクとして前記第2、第4のウェル領域に第1導電型の第1の不純物拡散領域より濃度が高い第1導電型の不純物を導入し、第1導電型の第2の不純物拡散領域を形成する工程

とを具備することを特徴とする半導体装置の製造方法。

【請求項6】 前記第3、第4のウェル領域を形成する工程は、前記第1のウェル領域を形成するための第1導電型の不純物と、前記第2のウェル領域を形成するための第2導電型の不純物を導入して形成されることを特徴とする請求項3乃至5記載の半導体装置の製造方法。

【請求項7】 前記第3のウェル領域の不純物濃度は、前記第1のウェル領域の不純物濃度より低く設定され、前記第4のウェル領域の不純物濃度は、前記第2のウェル領域の不純物濃度より低く設定されていることを特徴とする請求項3乃至5記載の半導体装置の製造方法。

【請求項8】 MOSトランジスタのドレイン領域とソース領域間のパンチスルーを利用してESD保護素子であって、

半導体基板上にゲート絶縁膜を介して設けられたゲート電極と、

前記ゲート電極の側面に設けられた側壁絶縁膜と、前記半導体基板内で前記側壁絶縁膜と前記ゲート電極の境界より外側に設けられたドレイン／ソース領域とを具備することを特徴とする半導体装置。

【請求項9】 MOSトランジスタのドレイン領域とソース領域間のパンチスルーを利用してESD保護素子であって、

半導体基板内に所定距離離間して形成されたエクステンション領域と、

前記半導体基板内で前記エクステンション領域の両側に連続して設けられたドレイン／ソース領域とを具備し、ゲート電極を持たないことを特徴とする半導体装置。

【請求項10】 MOSトランジスタのドレイン領域とソース領域間のパンチスルーを利用してESD保護素子であって、

半導体基板内に所定距離離間して形成されたドレイン／ソース領域とを具備し、

ゲート電極を持たないことを特徴とする半導体装置。

【請求項11】 MOSトランジスタのドレイン領域とソース領域間のパンチスルーを利用してESD保護素子であって、

半導体基板上に設けられたゲート電極と同様の形状の絶縁膜と、

前記半導体基板内で、前記絶縁膜の両側に形成されたドレイン／ソース領域とを具備することを特徴とする半導体装置。

【請求項12】 半導体基板上の内部回路素子を形成する第1の領域と、ESD保護素子を形成する第2の領域にゲート絶縁膜を介して第1、第2のゲート電極を形成する工程と、

前記第1のゲート電極をマスクとして、前記第1の領域に不純物を注入し、エクステンション拡散層を形成する工程と、

前記第1、第2のゲート電極の側面にそれぞれ側壁絶縁

膜を形成する工程と、

前記側壁絶縁膜をマスクとして、前記第1、第2の領域に不純物を注入し、ソース／ドレイン領域を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項13】 半導体基板上の内部回路素子を形成する第1の領域と、ESD保護素子を形成する第2の領域にゲート絶縁膜を介して第1、第2のゲート電極を形成する工程と、

前記第1、第2のゲート電極をマスクとして、前記第1、第2の領域に不純物を注入し、エクステンション拡散層をそれぞれ形成する工程と、

前記第1、第2のゲート電極の側面にそれぞれ側壁絶縁膜を形成する工程と、

前記側壁絶縁膜をマスクとして、前記第1、第2の領域に不純物を注入し、ソース／ドレイン領域をそれぞれ形成する工程と、

前記第2の領域の前記第2のゲート電極、及び側壁絶縁膜を除去する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項14】 半導体基板上の内部回路素子を形成する第1の領域と、ESD保護素子を形成する第2の領域のうち、前記第1の領域のみにゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記第1の領域に不純物を注入し、エクステンション拡散層を形成する工程と、

前記ゲート電極の側面に側壁絶縁膜を形成する工程と、前記側壁絶縁膜をマスクとして、前記第1の領域に不純

物を注入し、ソース／ドレイン領域を形成する工程と、前記第2の領域のゲート電極形成位置に、ゲート電極と同様の幅を有するマスクを用いて不純物を注入し、ソース／ドレイン領域を形成する工程と、

前記マスクを除去する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項15】 半導体基板上の内部回路素子を形成する第1の領域と、ESD保護素子を形成する第2の領域のうち、前記第1の領域のみにゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記第1の領域に不純物を注入し、エクステンション拡散層を形成する工程と、

前記ゲート電極の側面に側壁絶縁膜を形成する工程と、前記側壁絶縁膜をマスクとして、前記第1の領域に不純物を注入し、ソース／ドレイン領域を形成する工程と、前記第2の領域のゲート電極形成位置に、ゲート電極と同様の幅を有する絶縁膜を用いて不純物を注入し、ソース／ドレイン領域を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項16】 前記絶縁膜は、前記側壁絶縁膜の形成

時に側壁絶縁膜をパターニングすることにより形成されたサリサイド形成阻止層からなることを特徴とする請求項15記載の半導体装置の製造方法。

【請求項17】前記絶縁膜は、抵抗上に形成される絶縁膜をパターニングすることにより形成されたサリサイド形成阻止層からなることを特徴とする請求項15記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば半導体素子を静電破壊から保護するESD (Electro-StaticDischarge) 保護素子を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】例えば半導体装置の入力部には、ESD保護素子が設けられ、入力パッドに高い静電気が印加された場合においても、このESD保護素子によりチップ内の素子の破壊が防止されている。この種のESD保護素子としては、近時、ソース領域、ドレイン領域間に高電圧が印加された場合、ドレイン領域とチャネル間に形成される空乏層がソース領域に到達し、パンチスルーレ電流が流れて動作するタイプのものが開発されている。

【0003】図14は、従来のパンチスルータイプのESD保護素子を有する半導体装置を示している。例えばP型半導体基板1の表面領域には、複数の素子分離領域2、3、4、5、6が形成されている。半導体基板1の内部回路領域7にはLDD (Lightly Doped ドレイン領域) 構造のNチャネルMOSトランジスタ9及びPチャネルMOSトランジスタ10が形成されている。また、入力回路領域8には、ESD保護素子としてのNチャネルMOSトランジスタ11及びPチャネルMOSトランジスタ12が形成されている。これらトランジスタ11、12はLDD構造ではなく、シングルドレイン構造とされている。入力パッド13は前記トランジスタ11、12のドレイン領域に接続されるとともに、例えばインバータ回路14を介して内部回路領域7のトランジスタに接続される。さらに、前記トランジスタ11、12のゲート電極及びソース領域はそれぞれ接地されている。

【0004】上記構成において、入力パッド13に高電圧が印加されると、例えばトランジスタ11のドレイン領域とチャネル間に形成される空乏層がソース領域に到達し、パンチスルーレ電流が流れる。このため、入力パッド13、トランジスタ11のドレイン領域、ソース領域、接地間に電流経路が形成され、この経路を介して入力パッド13に印加された高電圧に伴う電流が流れる。

【0005】

【発明が解決しようとする課題】ところで、上記従来の半導体装置は、内部回路領域7のトランジスタ9、10がLDD構造であり、入力回路領域8のESD保護素子

を構成するトランジスタ11、12がシングルドレイン構造のトランジスタにより構成されている。このため、トランジスタ9、10とESD保護素子としてのトランジスタ11、12を同一の製造工程により形成することが困難であり、製造工程が増加するものであった。

【0006】また、前記トランジスタ11、12のソース領域、ドレイン領域に注入された不純物は、アニール工程において拡散し、一部がゲート電極の下部に至り、ゲート電極とオーバーラップされる。このため、ドレイン領域に高電圧が印加された際、ゲート電極とドレイン領域との間に高電界がかかり、このオーバーラップ部分が絶縁破壊されるという問題を有している。

【0007】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、製造工程の増加を抑えて内部回路領域のトランジスタとESD保護素子としてのトランジスタを形成することができ、さらに、ゲート電極とドレイン領域とのオーバーラップ部分における絶縁破壊を防止することが可能な半導体装置とその製造方法を提供しようとするものである。

【0008】

【課題を解決するための手段】本発明の半導体装置は、ドレインが入力パッドに接続され、ゲート及びソースが接地された第1のNチャネルトランジスタ、及び第1のPチャネルトランジスタと、LDD構造を有する第2のNチャネルトランジスタ、及び第2のPチャネルトランジスタとを有し、前記第1のNチャネルトランジスタ及び第1のPチャネルトランジスタはLDD構造とされ、チャネル領域の不純物濃度が前記第2のNチャネルトランジスタ及び第2のPチャネルトランジスタの不純物濃度より低く設定されている。

【0009】前記第1のNチャネルトランジスタ及び第1のPチャネルトランジスタのゲート長は、前記第2のNチャネルトランジスタ及び第2のPチャネルトランジスタのゲート長より長く設定されている。

【0010】本発明の半導体装置の製造方法は、第1導電型の半導体基板の表面領域に複数の素子分離領域を形成する工程と、前記半導体基板の内部回路領域に第1導電型の第1のウェル領域、及び第2導電型の第2のウェル領域を形成し、前記半導体基板の入力回路領域に第1導電型の第3のウェル領域及び第2導電型の第4のウェル領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコン膜を形成し、このポリシリコン膜及び前記ゲート絶縁膜をエッチングし、前記第1、第2、第3、第4のウェル領域上に第1、第2、第3、第4のゲート電極を形成する工程と、前記第1、第3のゲート電極をマスクとして前記第1、第3のウェル領域に第2導電型の不純物を導入して、第2導電型の第1の不純物拡散領域を形成し、前記第2、第4のゲート電極をマスクとして前記第2、第4のウェル領域に第1導電型の不純物を導入し

て、第1導電型の第1の不純物拡散領域を形成する工程と、前記第1乃至第4のゲート電極の側面に側壁絶縁膜を形成する工程と、前記側壁絶縁膜をマスクとして前記第1、第3のウェル領域内に前記第2導電型の第1の不純物拡散領域より濃度が高い第2導電型の不純物を導入して、第2導電型の第2の不純物拡散領域を形成し、前記側壁絶縁膜をマスクとして前記第2、第4のウェル領域に前記第1導電型の第1の不純物拡散領域より濃度が高い第1導電型の不純物を導入し、第1導電型の第2の不純物拡散領域を形成する工程とを具備している。

【0011】本発明の半導体装置の製造方法は、第1導電型の半導体基板の表面領域に複数の素子分離領域を形成する工程と、前記半導体基板の内部回路領域に第1導電型の第1のウェル領域、及び第2導電型の第2のウェル領域を形成し、前記半導体基板の入力回路領域に第1導電型の第3のウェル領域及び第2導電型の第4のウェル領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコン膜を形成し、このポリシリコン膜及び前記ゲート絶縁膜をエッチングし、前記第1、第2、第3、第4のウェル領域上に第1、第2、第3、第4のゲート電極を形成する工程と、前記第1、第3のゲート電極をマスクとして前記第1、第3のウェル領域に第2導電型の不純物を導入して、第2導電型の第1の不純物拡散領域を形成し、前記第2、第4のゲート電極をマスクとして前記第2、第4のウェル領域に第1導電型の不純物を導入して、第1導電型の第1の不純物拡散領域を形成する工程と、前記第1乃至第4のゲート電極の側面に側壁絶縁膜を形成する工程と、前記側壁絶縁膜をマスクとして前記第1のウェル領域に第2導電型の第1の不純物拡散領域より濃度が高い第2導電型の不純物を導入して、第2導電型の第2の不純物拡散領域を形成し、前記側壁絶縁膜をマスクとして前記第2のウェル領域に第1導電型の第1の不純物拡散領域より濃度が高い第1導電型の不純物を導入し、第1導電型の第2の不純物拡散領域を形成する工程とを具備している。

【0012】本発明の半導体装置の製造方法は、第1導電型の半導体基板の表面領域に複数の素子分離領域を形成する工程と、前記半導体基板の内部回路領域に第1導電型の第1のウェル領域、及び第2導電型の第2のウェル領域を形成し、前記半導体基板の入力回路領域に第1導電型の第3のウェル領域及び第2導電型の第4のウェル領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコン膜を形成し、このポリシリコン膜及び前記ゲート絶縁膜をエッチングし、前記第1、第2、第3、第4のウェル領域上に第1、第2、第3、第4のゲート電極を形成する工程と、前記第1のゲート電極をマスクとして前記第1のウェル領域に第2導電型の不純物を導入して、第2導電型の第1の不純物拡散領域を形成し、前記第2のゲート電極をマスクとして前記第2のウェル領域に第1導電型の第2の不純物拡散領域を形成する工程とを具備している。

のゲート電極をマスクとして前記第2のウェル領域に第1導電型の不純物を導入して、第1導電型の第1の不純物拡散領域を形成する工程と、前記第1乃至第4のゲート電極の側面に側壁絶縁膜を形成する工程と、前記側壁絶縁膜をマスクとして前記第1、第3のウェル領域に第2導電型の第1の不純物拡散領域より濃度が高い第2導電型の不純物を導入して、第2導電型の第2の不純物拡散領域を形成し、前記側壁絶縁膜をマスクとして前記第2、第4のウェル領域に第1導電型の第1の不純物拡散領域より濃度が高い第1導電型の不純物を導入し、第1導電型の第2の不純物拡散領域を形成する工程とを具備している。

【0013】前記第3、第4のウェル領域を形成する工程は、前記第1のウェル領域を形成するための第1導電型の不純物と、前記第2のウェル領域を形成するための第2導電型の不純物を導入して形成される。

【0014】前記第3のウェル領域の不純物濃度は、前記第1のウェル領域の不純物濃度より低く設定され、前記第4のウェル領域の不純物濃度は、前記第2のウェル領域の不純物濃度より低く設定されている。

【0015】本発明の半導体装置は、MOSトランジスタのドレイン領域とソース領域間のパンチスルーカーを利用したESD保護素子であって、半導体基板上にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の側面に設けられた側壁絶縁膜と、前記半導体基板内で前記側壁絶縁膜と前記ゲート電極の境界より外側に設けられたドレイン/ソース領域とを具備している。

【0016】本発明の半導体装置は、MOSトランジスタのドレイン領域とソース領域間のパンチスルーカーを利用したESD保護素子であって、半導体基板内に所定距離離間して形成されたエクステンション領域と、前記半導体基板内で前記エクステンション領域の両側に連続して設けられたドレイン/ソース領域とを具備し、ゲート電極を持たないことを特徴とする。

【0017】本発明の半導体装置は、MOSトランジスタのドレイン領域とソース領域間のパンチスルーカーを利用したESD保護素子であって、半導体基板内に所定距離離間して形成されたドレイン/ソース領域とを具備し、ゲート電極を持たないことを特徴とする。

【0018】本発明の半導体装置は、MOSトランジスタのドレイン領域とソース領域間のパンチスルーカーを利用したESD保護素子であって、半導体基板上に設けられたゲート電極と同様の形状の絶縁膜と、前記半導体基板内で、前記絶縁膜の両側に形成されたドレイン/ソース領域とを具備することを特徴とする。

【0019】本発明の半導体装置の製造方法は、半導体基板上の内部回路素子を形成する第1の領域と、ESD保護素子を形成する第2の領域にゲート絶縁膜を介して第1、第2のゲート電極を形成する工程と、前記第1のゲート電極をマスクとして、前記第1の領域に不純物を

注入し、エクステンション拡散層を形成する工程と、前記第1、第2のゲート電極の側面にそれぞれ側壁絶縁膜を形成する工程と、前記側壁絶縁膜をマスクとして、前記第1、第2の領域に不純物を注入し、ソース／ドレイン領域を形成する工程とを具備している。

【0020】本発明の半導体装置の製造方法は、半導体基板上の内部回路素子を形成する第1の領域と、ESD保護素子を形成する第2の領域にゲート絶縁膜を介して第1、第2のゲート電極を形成する工程と、前記第1、第2のゲート電極をマスクとして、前記第1、第2の領域に不純物を注入し、エクステンション拡散層をそれぞれ形成する工程と、前記第1、第2のゲート電極の側面にそれぞれ側壁絶縁膜を形成する工程と、前記側壁絶縁膜をマスクとして、前記第1、第2の領域に不純物を注入し、ソース／ドレイン領域をそれぞれ形成する工程と、前記第2の領域の前記第2のゲート電極、及び側壁絶縁膜を除去する工程とを具備している。

【0021】本発明の半導体装置の製造方法は、半導体基板上の内部回路素子を形成する第1の領域と、ESD保護素子を形成する第2の領域のうち、前記第1の領域のみにゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記第1の領域に不純物を注入し、エクステンション拡散層を形成する工程と、前記ゲート電極の側面に側壁絶縁膜を形成する工程と、前記側壁絶縁膜をマスクとして、前記第1の領域に不純物を注入し、ソース／ドレイン領域を形成する工程と、前記第2の領域のゲート電極形成位置に、ゲート電極と同様の幅を有するマスクを用いて不純物を注入し、ソース／ドレイン領域を形成する工程と、前記マスクを除去する工程とを具備している。

【0022】本発明の半導体装置の製造方法は、半導体基板上の内部回路素子を形成する第1の領域と、ESD保護素子を形成する第2の領域のうち、前記第1の領域のみにゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記第1の領域に不純物を注入し、エクステンション拡散層を形成する工程と、前記ゲート電極の側面に側壁絶縁膜を形成する工程と、前記側壁絶縁膜をマスクとして、前記第1の領域に不純物を注入し、ソース／ドレイン領域を形成する工程と、前記第2の領域のゲート電極形成位置に、ゲート電極と同様の幅を有する絶縁膜を用いて不純物を注入し、ソース／ドレイン領域を形成する工程とを具備している。

【0023】前記絶縁膜は、前記側壁絶縁膜の形成時に側壁絶縁膜をパターニングすることにより形成されたサリサイド形成阻止層からなることを特徴とする。

【0024】前記絶縁膜は、抵抗上に形成される絶縁膜をパターニングすることにより形成されたサリサイド形成阻止層からなることを特徴とする。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0026】(第1の実施例)先ず、図1を参照して本発明の第1の実施例に係る半導体装置の構成について説明する。図1において、例えばP型半導体基板20には、P型ウェル領域21が形成され、このP型ウェル領域21の表面領域には素子分離領域としてのフィールド酸化膜22、23、24、25、26が形成されている。半導体基板20の内部回路領域27には、LDD構造のNチャネルMOSトランジスタN1及びLDD構造のPチャネルMOSトランジスタP1が形成され、入力回路領域28には、ESD保護素子としてのNチャネルMOSトランジスタN2及びPチャネルMOSトランジスタP2が形成されている。これらトランジスタN2、P2も前記トランジスタN1、P1と同様にLDD構造とされている。

【0027】前記トランジスタN1はゲート電極37と、P型ウェル領域31内に形成された低不純物濃度のLDD領域n-、及び高不純物濃度のソース／ドレイン領域n+とにより構成されている。前記トランジスタP1はゲート電極38と、N型ウェル領域34内に形成されたLDD領域p-、及びソース／ドレイン領域p+とにより構成されている。さらに、前記トランジスタP2はゲート電極39と、例えばPウェル領域32にN型の不純物をイオン注入して形成されたNウェル領域35内に形成されたLDD領域p-、及びソース／ドレイン領域p+とにより構成されている。前記トランジスタN2はゲート電極40と、Pウェル領域21内に形成されたLDD領域n-、及びソース／ドレイン領域n+とにより構成されている。

【0028】前記各ゲート電極37、38、39、40の側面には側壁絶縁膜41がそれぞれ形成され、各ゲート電極37、38、39、40の上面、及びソース／ドレイン領域の上面には例えばコバルトシリサイド層42がそれぞれ形成されている。

【0029】入力パッド43は、ESD保護素子を構成するトランジスタN2及びP2の各ドレインに接続されるとともに、インバータ回路44を介して内部回路領域27のトランジスタに接続される。さらに、トランジスタN2、P2のゲート電極及びソースは接地されている。

【0030】図2は図1に示すESD保護素子の動作を示すものであり、図1と同一部分には同一符号を付している。入力パッド43に静電放電により例えば正の高電圧が印加されると、NチャネルMOSトランジスタN2のドレイン領域とチャネル間に形成される空乏層DLがソース領域に到達し、パンチスルーハイドロゲンが流れ、このため、入力パッド43、トランジスタN2のドレイン領域、ソース領域、接地間に電流経路が形成され、この経路を介して入力パッド43に印加された高電圧に伴う放

電電流が流れる。したがって、内部回路領域に形成されたトランジスタが保護される。

【0031】次に、図3乃至図6を参照して、上記構成の半導体装置の製造方法について説明する。

【0032】図3(a)に示すように、例えばP型半導体基板20には、P型ウェル領域21が形成され、このP型ウェル領域21の表面領域には素子分離領域としてのフィールド酸化膜22、23、24、25、26が形成される。この後、半導体基板20の全面にシリコン酸化膜27が形成される。次いで、全面にレジスト膜30が形成され、このレジスト膜30は、前記内部回路領域28の前記PチャネルMOSトランジスタP1の形成領域、及びESD保護素子としての前記NチャネルトランジスタN2の形成領域を覆うようにパターニングされる。このレジストパターンをマスクとしてNチャネルMOSトランジスタN1、PチャネルMOSトランジスタP2の形成領域に、P型ウェル領域31を形成するために、例えばボロンがイオン注入される。このボロンのドーズ量は例えば $5 \times 10^{12} \text{ cm}^{-2}$ である。

【0033】この後、図3(b)に示すように、前記レジスト膜30が除去され、半導体基板20の全面にレジスト膜33が形成される。このレジスト膜33は前記内部回路領域28のNチャネルMOSトランジスタN1の形成領域、及びESD保護素子としてのNチャネルトランジスタN2の形成領域を覆うようにパターニングされる。このレジストパターンをマスクとしてPチャネルMOSトランジスタP1、P2の形成領域に、N型ウェル領域34、35を形成するために、例えばリンがイオン注入される。このリンのドーズ量は例えば $7 \times 10^{12} \text{ cm}^{-2}$ である。

【0034】ここで、ESD保護素子を構成するPチャネルMOSトランジスタP2の形成領域は、P型の不純物とN型の不純物の両方がイオン注入され、ESD保護素子を構成するNチャネルMOSトランジスタN2の形成領域は、P型の不純物とN型の不純物のいずれもが注入されていない。

【0035】次に、図4(a)に示すように、レジスト膜33、及びシリコン酸化膜27が除去されたのち、ゲート絶縁膜としてのシリコン酸化膜27aが形成される。このシリコン酸化膜27aの上にポリシリコン膜36が例えばCVD(Chemical Vapor Deposition)法により形成される。このとき、前記注入されたイオンがアニールされ、P型ウェル領域31、32、及びこれらP型ウェル領域31、32より浅いN型ウェル領域34、35が形成される。P型ウェル領域31、32のボロンの濃度はNチャネルMOSトランジスタのチャネル領域において約 $5 \times 10^{17} \text{ cm}^{-3}$ であり、N型ウェル領域34のリンの濃度はPチャネルMOSトランジスタのチャネル領域において約 $7 \times 10^{17} \text{ cm}^{-3}$ である。

【0036】また、ESD保護素子としてのPチャネル

MOSトランジスタP2が形成されるN型ウェル領域35のリンの濃度は、チャネル領域において約 $2 \times 10^{17} \text{ cm}^{-3}$ となり、N型ウェル領域34におけるリンの濃度より低くなる。さらに、ESD保護素子としてのNチャネルMOSトランジスタN2が形成される領域は、上記ボロン、及びリンがイオン注入されていない。このため、トランジスタN2が形成されるチャネル領域の不純物濃度は、P型ウェル領域21のボロンの濃度、約 $1 \times 10^{17} \text{ cm}^{-3}$ とされている。

【0037】前記ポリシリコン膜36及び前記シリコン酸化膜27aは、ゲート電極に対応してパターニングされた図示せぬレジスト膜をマスクとして例えばRIE(Reactive Ion Etching)によりエッチングされ、図4(b)に示すようにゲート電極37、38、39、40が形成される。ここで、ESD保護素子を構成するトランジスタP2、N2のゲート電極39、40のゲート長は、内部回路領域に形成されるトランジスタN1、P1のゲート電極37、38のゲート長より長く設定される。トランジスタN1、P1のゲート電極37、38のゲート長が例えば $0.25 \mu\text{m}$ である場合、トランジスタP2のゲート電極39のゲート長は例えば $0.3 \mu\text{m}$ に設定され、トランジスタN2のゲート電極40のゲート長は例えば $0.35 \mu\text{m}$ に設定される。すなわち、トランジスタP2、N2のゲート電極39、40のゲート長は、所望の電圧で入力パッドに印加された高電圧に伴う放電電流がパンチスルー電流により流れるように設定される。この実施例では、上記ゲート長とすることにより、MIL規格、及びEIAJ規格を満足する所望の特性を得ることができた。

【0038】次に、図5(a)に示すように、Pウェル領域31、21内にゲート電極37、40をマスクとしてN型の不純物、例えばリンがイオン注入され、LDD領域n-が形成される。また、Nウェル領域34、35内にゲート電極38、39をマスクとしてP型の不純物、例えばボロンがイオン注入され、LDD領域p-が形成される。尚、イオンの非注入領域は、周知のように例えばレジスト膜により覆われている。前記LDD領域n-の不純物濃度は例えば $5 \times 10^{19} \text{ cm}^{-3}$ とされ、前記LDD領域p-の不純物濃度も、例えば $5 \times 10^{19} \text{ cm}^{-3}$ とされている。

【0039】次に、半導体基板20の全面に、例えばシリコン酸化膜が例えばCVD法により堆積される。このシリコン酸化膜は選択的にエッチングされ、図5(b)に示すように、各ゲート電極37、38、39、40の側面に側壁酸化膜41が形成される。

【0040】この後、図6(a)に示すように、Pウェル領域31、21内に側壁酸化膜41をマスクとしてN型の不純物、例えばリンがイオン注入され、ソース/ドレイン領域n+が形成される。また、Nウェル領域34、35内に側壁酸化膜41をマスクとしてP型の不純物

物、例えばボロンがイオン注入され、ソース／ドレイン領域p<sup>+</sup>が形成される。尚、イオンの非注入領域は、周知のように例えばレジスト膜により覆われている。前記ソース／ドレイン領域n<sup>+</sup>の不純物濃度は例えば5×10<sup>20</sup>cm<sup>-3</sup>とされ、前記ソース／ドレイン領域p<sup>+</sup>の不純物濃度も、例えば5×10<sup>20</sup>cm<sup>-3</sup>とされている。

【0041】次に、全面に例えばコバルト膜が、スパッタリングにより例えば15nmの膜厚で形成され、周知のサリサイド工程により、各トランジスタのソース／ドレイン領域の表面、及び各トランジスタのゲート電極の上面にコバルトシリサイド膜42が形成される。これらコバルトシリサイド膜42の膜厚は例えば50nmであり、ゲート電極上のコバルトシリサイド膜42のシート抵抗は、例えば5Ω/sq.に設定される。

【0042】この後、周知の工程により配線が形成され、図1に示すように、ESD保護素子を構成するトランジスタN2及びP2の各ドレインは入力パッド43に接続されるとともに、インバータ回路44を介して、内部回路領域27のトランジスタに接続される。さらに、トランジスタN2、P2のゲート電極及びソースは接地される。

【0043】上記第1の実施例によれば、ESD保護素子としてのトランジスタN2、P2を、内部回路領域27に形成されるトランジスタN1、P1と同一のLDD構造としている。このため、ESD保護素子としてのトランジスタN2、P2を、内部回路領域27に形成されるトランジスタN1、P1と同一の製造工程により製造できる。したがって、従来のように、ESD保護素子としてのトランジスタのみをシングルドレイン構造で形成する場合に比べて製造工程を簡略化することができる。

【0044】しかも、ESD保護素子としてのトランジスタN2、P2がLDD構造であるため、これらトランジスタN2、P2のドレイン／ゲート間の電界を緩和できゲート絶縁膜の信頼性を向上できる。

【0045】尚、ESD保護素子としてのPチャネルMOSトランジスタP2が形成される領域は、P型の不純物とN型の不純物の両方をイオン注入したが、これに限定されるものではなく、N型の不純物のみをイオン注入してもよい。この場合、ゲート電極39のゲート長をN型の不純物濃度に応じて十分短く設定すればよい。

【0046】また、ESD保護素子としてのトランジスタN2、P2は、内部回路領域に形成されるトランジスタN1、P1と同様に、高濃度のソース／ドレイン領域n<sup>+</sup>、p<sup>+</sup>を有しているが、これに限定されるものではない。例えばESD保護素子としてのトランジスタN2、P2は、高濃度のソース／ドレイン領域n<sup>+</sup>、p<sup>+</sup>を形成せず、低濃度領域n<sup>-</sup>、p<sup>-</sup>のみの構成としてもよい。このような構成とした場合、低濃度のソース／ドレイン領域n<sup>-</sup>、p<sup>-</sup>と基板との容量を下げることができる。したがって、ESD保護素子の寄生容量を低下することができる。

き、ESD保護素子が高周波信号のバイパスとなることを防止でき、高速動作が可能な半導体装置を構成できる。

【0047】また、上記製造工程において、NチャネルMOSトランジスタとPチャネルMOSトランジスタの製造工程を入れ替えることも可能である。

【0048】図7は、第1の実施例の変形例を示すものであり、図1と同一部分には同一符号を付し、異なる部分についてのみ説明する。図1において、ESD保護素子としてのNチャネルMOSトランジスタN2は、P型ウェル領域21内に形成されていた。これに対して、この例では、P型ウェル領域21内に、さらに、P型ウェル領域内32aが形成され、このP型ウェル領域32a内にNチャネルMOSトランジスタN2が形成されている。

【0049】また、図1において、ESD保護素子としてのPチャネルMOSトランジスタP2は、P型ウェル領域32内に形成されたN型ウェル領域35内に形成されている。これに対して、この例では、N型ウェル領域35a内にPチャネルMOSトランジスタP2が形成されている。

【0050】前記P型ウェル領域32aの不純物濃度は、P型ウェル領域31の不純物濃度より低く設定され、前記N型ウェル領域35aの不純物濃度は、前記N型ウェル領域34の不純物濃度より低く設定されている。

【0051】このように、ESD保護素子としてのNチャネルMOSトランジスタN2、及びPチャネルMOSトランジスタP2を専用のウェル領域に形成することにより、P型ウェル領域32a、及びN型ウェル領域35aの不純物濃度を容易に設定することができる。

【0052】(第2の実施例)図8は、本発明の第2の実施例を示している。

【0053】第2の実施例は、ゲート電極とドレイン領域とがオーバーラップした部分において絶縁膜が破壊される問題を解決するものである。具体的には、ESD保護素子にエクステンション領域(LDD領域)を形成しないことにより、ゲート電極とドレイン領域のオーバーラップ部分の形成を防ぎ、これによりESD保護素子のゲート電極とドレイン領域間での絶縁膜の静電破壊を防ぐものである。

【0054】図8を参照して、第2の実施例に係る半導体装置の製造方法について説明する。

【0055】先ず、図8(a)に示すように、半導体基板71内に素子分離領域72、73が形成される。半導体基板71内において、内部回路領域におけるNチャネルトランジスタの形成領域70aにはP型ウェル領域74が形成され、例えば入力回路領域におけるPチャネルトランジスタからなるESD保護素子の形成領域70c、及び内部回路領域におけるPチャネルトランジスタ

の形成領域70bには、N型ウェル領域75、76が形成される。さらに、半導体基板71上にゲート絶縁膜77を介して、例えばポリシリコンからなる複数のゲート電極78が形成される。

【0056】尚、ESD保護素子は、Pチャネルトランジスタにより構成された場合について説明するが、Nチャネルトランジスタの場合もPチャネルトランジスタと同様の方法により形成される。

【0057】次に、図8(b)に示すように、ゲート電極78をマスクとして、半導体基板71内に不純物が注入される。これにより、P型ウェル領域74内にシャロー・ジャンクション(shallow junction)としてのN型のエクステンション拡散層79が形成され、N型ウェル領域76内にP型のエクステンション拡散層80が形成される。この際、図示せぬパターニングされたレジスト膜を用いて、イオン注入時にESD保護素子の形成領域70cには不純物が注入されないようにする。すなわち、N型のエクステンション拡散層79を形成する場合、ESD保護素子の形成領域70cとPチャネルトランジスタの形成領域がレジスト膜により覆われる。また、P型のエクステンション拡散層80を形成する場合、ESD保護素子の形成領域70cとNチャネルトランジスタの形成領域がレジスト膜により覆われる。これにより、図8(b)に示すように、ESD保護素子の形成領域70cのみにエクステンション拡散層が存在しない構造を形成できる。前記N型のエクステンション拡散層79、P型のエクステンション拡散層80の不純物濃度は、後述するソース／ドレイン領域の不純物濃度より低くされている。

【0058】次に、図8(c)に示すように、ゲート電極78の側面に、例えばシリコン窒化膜からなる側壁絶縁膜81がそれぞれ形成される。この側壁絶縁膜81はシリコン窒化膜に限らず、シリコン酸化膜等を用いることも可能である。

【0059】この後、図8(d)に示すように、前記側壁絶縁膜81をマスクとして半導体基板71にN型の不純物と、P型の不純物が順次イオン注入され、ディープ・ソース／ドレイン領域が形成される。すなわち、P型ウェル領域74内にN型のソース／ドレイン領域82が形成され、N型ウェル領域76内にP型のソース／ドレイン領域83が形成される。さらに、N型ウェル領域75内にP型のソース／ドレイン領域84が形成される。このようにして形成されたPチャネルトランジスタからなるESD保護素子85は、エクステンション拡散層を有していない。また、同様にして形成される図示せぬNチャネルトランジスタからなるESD保護素子もエクステンション拡散層を有していない。ESD保護素子のドレイン領域には第1の実施例と同様に入力パッドが接続され、ソース領域及びゲート電極は接地される。

【0060】上記第2の実施例によれば、内部回路を構

成するトランジスタはエクステンション拡散層を有するのに対して、ESD保護素子85を形成するトランジスタはエクステンション拡散層を有していない。このため、ESD保護素子85のソース／ドレイン領域84は、ゲート電極と側壁絶縁膜の境界より外側に位置し、ゲート電極とオーバーラップする部分を有していない。このため、ドレイン領域に高電圧が印加された場合においても、従来のように、ゲート電極とドレインの相互間に高電界が生じることを防止できる。したがって、ESD保護素子85の破壊を防止することが可能である。

【0061】また、ESD保護素子85は、内部回路を構成するMOSFETの製造プロセスと同等若しくは最小限の変更のみにより形成できる利点を有している。

【0062】(第3の実施例)図9、図10は、本発明の第3の実施例を示すものであり、第2の実施例と同一部分には同一符号を付す。

【0063】第3の実施例のESD保護素子は、MOSFET型ESD保護素子からゲート電極を取り除くことにより、ゲート電極とドレイン領域のオーバーラップ部分が形成されることを防いでいる。

【0064】図9、図10を参照して、第3の実施例に係るESD保護素子の製造方法について説明する。

【0065】先ず、図9(a)に示すように、半導体基板71内に素子分離領域72、73が形成される。半導体基板71内において、Nチャネルトランジスタの形成領域70aにはP型ウェル領域74が形成され、例えばPチャネルトランジスタからなるESD保護素子の形成領域70c、及びPチャネルトランジスタの形成領域70bには、N型ウェル領域75、76が形成される。さらに、半導体基板71上にゲート絶縁膜77を介して、例えばポリシリコンからなる複数のゲート電極78が形成される。

【0066】次に、図9(b)に示すように、ゲート電極78をマスクとして、半導体基板71内に不純物が注入される。これにより、P型ウェル領域74内にN型のエクステンション拡散層79が形成され、N型ウェル領域75、76内にP型のエクステンション拡散層80a、80bが形成される。

【0067】次に、図9(c)に示すように、第1の実施例と同様にして、ゲート電極78の側面に、例えばシリコン窒化膜からなる側壁絶縁膜81がそれぞれ形成される。

【0068】この後、図9(d)に示すように、前記側壁絶縁膜81をマスクとして半導体基板71にN型の不純物と、P型の不純物が順次イオン注入される。これにより、P型ウェル領域74内にN型のソース／ドレイン領域82が形成され、N型ウェル領域76内にP型のソース／ドレイン領域83が形成される。さらに、N型ウェル領域75内にP型のソース／ドレイン領域84が形成される。

【0069】次に、Nチャネルトランジスタの形成領域70aと、Pチャネルトランジスタの形成領域70bが図示せぬレジスト膜により覆われ、ESD保護素子の形成領域70cが露出される。この状態において、ESD保護素子の形成領域70cにあるゲート電極78と側壁絶縁膜81がエッチングされ除去される。

【0070】すなわち、図10に示すように、上記のようにして形成されたESD保護素子85は、内部回路部分のトランジスタと同様にエクステンション領域、及びソース／ドレイン領域を有し、ゲート電極を有していない構成とされている。

【0071】上記第3の実施例によれば、ESD保護素子85はゲート電極を有していない。このため、ゲート電極とソース／ドレイン領域のオーバーラップ部分がないため、ESD保護素子85に高電界が集中することを防止でき、ESD保護素子の破壊を防止できる。

【0072】また、ESD保護素子85は、内部回路を構成するMOSFETの製造プロセスと同等若しくは最小限の変更のみにより形成できる利点を有している。

【0073】(第4の実施例)図11、図12は、本発明の第4の実施例を示しており、第2の実施例と同一部分には、同一符号を付す。

【0074】第4の実施例に示すESD保護素子は、ESD保護素子の形成領域に対するイオン注入をゲート電極ではなくレジスト膜をマスクとして行なう。このような方法でゲート電極を有しないESD保護素子を形成する。

【0075】図11、図12を参照して、第4の実施例に係るESD保護素子の製造方法について説明する。

【0076】先ず、図11(a)に示すように、半導体基板71内に素子分離領域72、73が形成される。半導体基板71内において、Nチャネルトランジスタの形成領域70aにはP型ウェル領域74が形成され、例えばPチャネルトランジスタからなるESD保護素子の形成領域70c、及びPチャネルトランジスタの形成領域70bには、N型ウェル領域75、76が形成される。さらに、半導体基板71上にゲート絶縁膜77を介して、例えばポリシリコンからなる複数のゲート電極78が形成される。この際、ESD保護素子の形成領域70cには、ゲート電極が形成されない。

【0077】次に、図11(b)に示すように、ゲート電極78をマスクとして、半導体基板71内に不純物が注入される。これにより、P型ウェル領域74内にN型のエクステンション拡散層79が形成され、N型ウェル領域76内にP型のエクステンション拡散層80が形成される。この際、図示せぬパターニングされたレジスト膜を用いて、イオン注入時にESD保護素子部分には不純物が注入されないようにする。すなわち、N型のエクステンション拡散層79を形成する場合、ESD保護素子の形成領域70cとPチャネルトランジスタの形成領域70bがレジスト膜により覆われる。また、P型エクステンション拡散層80を形成する場合、ESD保護素子の形成領域70cとNチャネルトランジスタの形成領域70aがレジスト膜により覆われる。これにより、図11(b)に示すように、ESD保護素子のみにエクステンション拡散層が存在しない構造を形成できる。

【0078】次に、図11(c)に示すように、ゲート電極78の側面に、例えばシリコン窒化膜からなる側壁絶縁膜81がそれぞれ形成される。

【0079】この後、N型のソース／ドレイン領域、及びP型のソース／ドレイン領域が形成される。

【0080】図12(a)はP型のソース／ドレイン領域を形成する場合を示している。この場合、Pチャネルトランジスタの形成領域70bについては、前記側壁絶縁膜81をマスクとしてP型の不純物がイオン注入される。また、ESD保護素子の形成領域70cについては、ゲート電極の形成位置に対応してパターニングされたレジスト膜86が形成され、このレジスト膜86をマスクとしてP型の不純物イオンが注入される。さらに、Nチャネルトランジスタの形成領域70aはレジスト膜86により覆われている。このようにして、N型ウェル76内にP型のソース／ドレイン領域83が形成され、N型ウェル75内にP型のソース／ドレイン領域84が形成される。

【0081】図12(a)は、PチャネルトランジスタからなるESD保護素子を形成する場合を示している。しかし、NチャネルトランジスタからなるESD保護素子を形成する場合は、ESD保護素子の形成領域におけるゲート電極位置とPチャネルトランジスタの形成領域70bを覆うようにパターニングされたレジスト膜を形成し、このレジスト膜をマスクとしてN型の不純物イオンを注入すればよい。これにより、P型ウェル領域74内にN型のソース／ドレイン領域82が形成され、NチャネルトランジスタからなるESD保護素子の形成領域に図示せぬN型のソース／ドレイン領域が形成される。

【0082】この際、ESD保護素子の形成領域に設けられるレジスト膜の幅は、ウェルの不純物濃度を考慮してESD保護動作に最適な条件となるように調整する必要がある。具体的には通常の使用条件において、ESD保護素子がオフし、ESD保護素子のドレイン領域に内部回路の素子を破壊するような高電圧が印加された際、速やかにパンチスルーハンマーティンして電荷を接地に逃がすことが必要である。このため、このような動作を可能とするレジスト膜の幅が必要である。

【0083】最後に、図12(b)に示すように、レジスト膜86が除去される。

【0084】上記のようにして形成されたPチャネルトランジスタからなるESD保護素子85のドレイン領域には第1の実施例と同様に入力パッドが接続され、ソース領域は接地される。さらに、ESD保護素子85の上

部は、内部回路と同様に絶縁膜により覆われる。

【0085】上記第4の実施例によれば、ESD保護素子85はゲート電極を持たず、且つウェル75とは逆導電型のソース／ドレイン領域84を有している。このため、ゲート電極とドレイン領域のオーバーラップを回避することができ、ドレイン領域に高電圧が印加された際、ESD保護素子の破壊を防止することができる。

【0086】また、この実施例の製造方法の場合、ESD保護素子の形成領域にゲート電極を形成しないため、第3の実施例のように、ESD保護素子のゲート電極を除去する必要がない。したがって、製造工程を削減できる利点を有している。

【0087】尚、上記実施例において、ESD保護素子の形成領域に対するイオン注入は、ソース／ドレイン領域の形成時に行った。しかし、これに限定されるものではなく、エクステンション領域を形成する際にESD保護素子の形成領域にレジストでマスクを形成し、イオン注入を行ってもよい。

【0088】(第5の実施例)図13は、本発明の第5の実施例を示すものであり、第4の実施例と同一部分には同一符号を付す。この実施例は、サリサイドブロック膜を用いてESD保護素子の形成領域に不純物イオンを注入することを特徴としている。

【0089】図13を参照して、第5の実施例に係るESD保護素子の製造方法について説明する。この実施例において、エクステンション拡散層を形成するまでの工程は、第4の実施例と同様である。

【0090】すなわち、図13(a)に示すように、半導体基板71内に素子分離領域72、73が形成される。半導体基板71内において、Nチャネルトランジスタの形成領域70aにはP型ウェル領域74が形成され、例えばPチャネルトランジスタからなるESD保護素子の形成領域70c、及びPチャネルトランジスタの形成領域70bには、N型ウェル領域75、76が形成される。さらに、半導体基板71上にゲート絶縁膜77を介して、例えばポリシリコンからなる複数のゲート電極78が形成される。この際、ESD保護素子の形成領域70cには、ゲート電極が形成されない。

【0091】次に、図13(b)に示すように、ゲート電極78をマスクとして、半導体基板71内に不純物が注入される。これにより、P型ウェル領域74内にN型のエクステンション拡散層79が形成され、N型ウェル領域76内にP型のエクステンション拡散層80が形成される。

【0092】次に、図13(c)に示すように、ゲート電極78の側面に、例えばシリコン窒化膜からなる側壁絶縁膜81がそれぞれ形成される。この際、ESD保護素子の形成領域70cには、ゲート電極の形成位置に対応して、側壁絶縁膜をパターニングすることにより得られたゲート電極と同様の形状からなるサリサイド形成阻

止層としての絶縁膜90が形成される。

【0093】すなわち、例えば半導体基板71の全面にシリコン窒化膜を堆積した後、ESD保護素子の形成領域70cで、ゲート電極の形成位置に対応してパターニングされたレジスト膜が形成される。このレジスト膜をマスクとして例えばRIEによりエッチングすることにより、図13(c)に示す絶縁膜90が形成される。

【0094】このサリサイド形成阻止層としての絶縁膜90は、例えばソース／ドレイン領域及びゲート電極上にセルフアラインでサリサイド層を形成する際に、ESD保護素子の形成領域70cで、ゲート電極の形成位置にサリサイド層が形成されることを防止するものである。この実施例では側壁絶縁膜81の形成と絶縁膜90の形成を同一工程で行ったが、別々の工程で行ってもよい。例えばポリシリコンにより抵抗を形成した後、この抵抗上にサリサイド層が形成されることを阻止する際に、前記絶縁膜90を形成しても良い。

【0095】この後、N型のソース／ドレイン領域、及びP型のソース／ドレイン領域が形成される。このとき、ESD保護素子の形成領域70cにおいては、絶縁膜90をマスクとして不純物イオンが注入される。このようにして、P型ウェル74内にN型のソース／ドレイン領域82が形成される。また、N型ウェル76内にP型のソース／ドレイン領域83が形成され、N型ウェル75内にP型のソース／ドレイン領域84が形成される。

【0096】上記第5の実施例によれば、ESD保護素子85はゲート電極を持たず、サリサイドブロック層からなる絶縁膜90を有し、且つウェル75とは逆導電型のソース／ドレイン領域84を有している。このため、ゲート電極とドレイン領域のオーバーラップを回避することができ、ドレイン領域に高電圧が印加された際、ESD保護素子の破壊を防止することができる。

【0097】また、ESD保護素子85は、内部回路を構成するMOSFETの製造プロセスと同等若しくは最小限の変更のみにより形成できる利点を有している。

【0098】尚、本発明は上記実施例に限定されるものではなく、発明の要旨を変えない範囲で種々変形実施可能なことは勿論である。

【0099】

【発明の効果】以上、詳述したようにこの発明によれば、製造工程の増加を抑えて内部回路領域のトランジスタとESD保護素子としてのトランジスタを形成することができ、さらに、ゲート電極とドレイン領域とのオーバーラップ部分における絶縁破壊を防止することが可能な半導体装置とその製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施例を示す断面図。

【図2】図1に示すESD保護素子の動作を示す図。

【図3】図3(a) (b)は、図1に示す半導体装置の

製造工程を示す断面図。

【図4】図4 (a) (b) は、図3 (b) に続く製造工程を示す断面図。

【図5】図5 (a) (b) は、図4 (b) に続く製造工程を示す断面図。

【図6】図6 (a) (b) は、図5 (b) に続く製造工程を示す断面図。

【図7】図1の変形例を示す断面図。

【図8】図8 (a) 乃至図8 (d) は、本発明の第2の実施例を示すものであり、製造工程順に示す断面図。

【図9】図9 (a) 乃至図9 (d) は、本発明の第3の実施例を示すものであり、製造工程順に示す断面図。

【図10】図9 (d) に続く製造工程を示す断面図。

【図11】図11 (a) 乃至図11 (c) は、本発明の第4の実施例を示すものであり、製造工程順に示す断面図。

【図12】図12 (a) (b) は、図11 (c) に続く製造工程を示す断面図。

【図13】図13 (a) 乃至図13 (d) は、本発明の第5の実施例を示すものであり、製造工程順に示す断面図。

【図14】従来の半導体装置の一例を示す断面図。

【符号の説明】

20 …半導体基板、

21 …P型ウェル領域、

22、23、24、25、26 …フィールド酸化膜、 \*

\* 27 …内部回路領域、

28 …入力回路領域、

31、32 …P型ウェル領域、

34、35 …N型ウェル領域、

37～40 …ゲート電極、

n-、p- …LDD領域、

n+、p+ …ソース／ドレイン領域、

41 …側壁絶縁膜、

42 …コバルトシリサイド層、

43 …入力パッド

N1、N2 …NチャネルMOSトランジスタ、  
P1、P2 …PチャネルMOSトランジスタ。

71 …半導体基板、

74 …P型ウェル領域、

75、76 …N型ウェル領域、

78 …ゲート電極、

79 …N型のエクステンション拡散層、

80、80a、80b …P型のエクステンション拡散層、

81 …側壁絶縁膜、

82 …N型のソース／ドレイン領域、

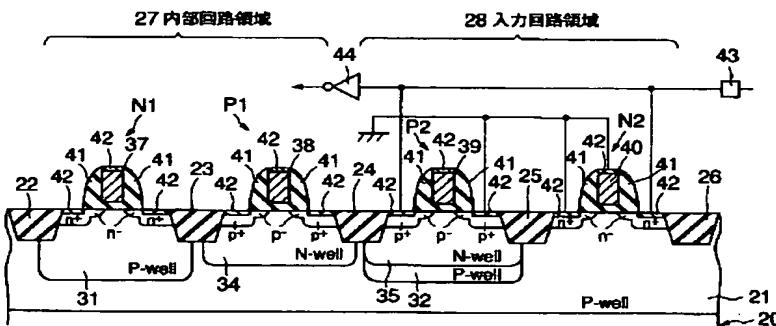
83、84 …P型のソース／ドレイン領域、

85 …ESD保護素子、

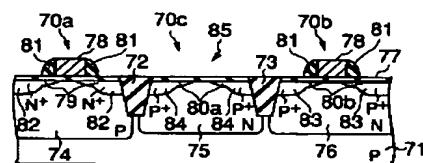
86 …レジスト膜、

90 …サリサイドブロック層からなる絶縁膜。

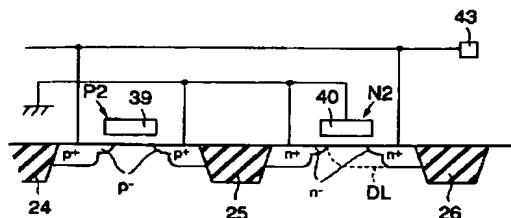
【図1】



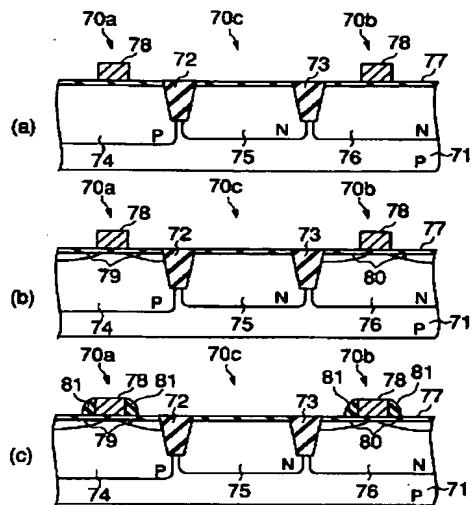
【図10】



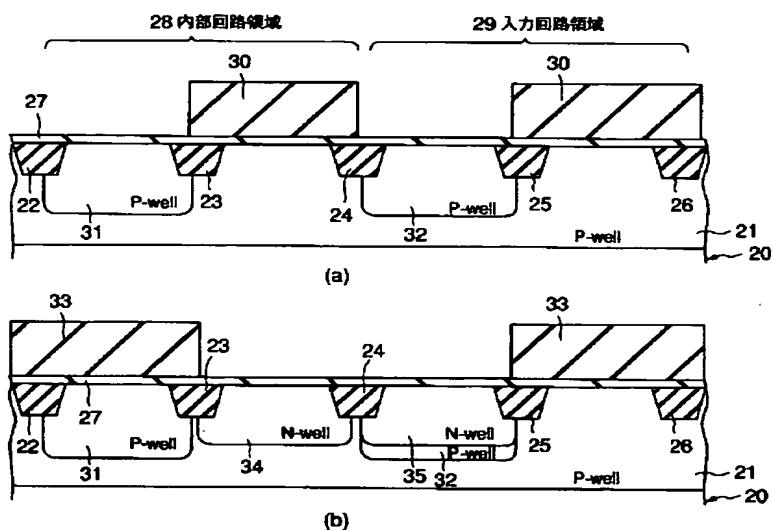
【図2】



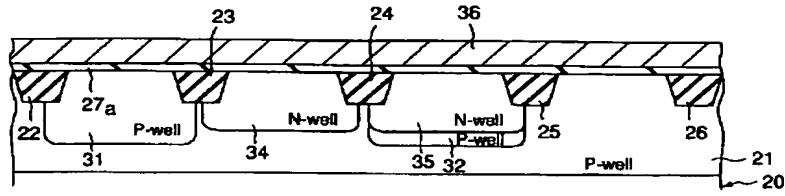
【図11】



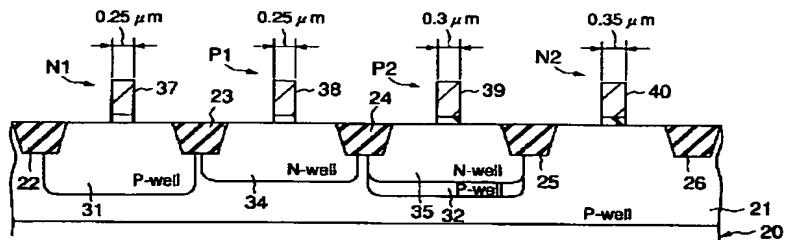
【図3】



【図4】

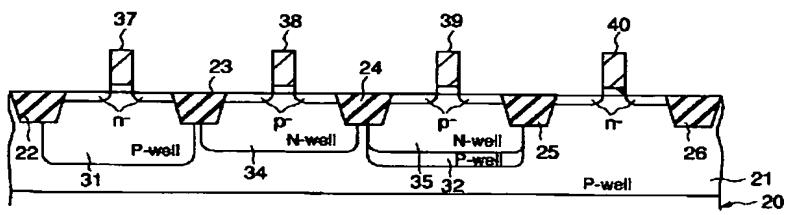


(a)

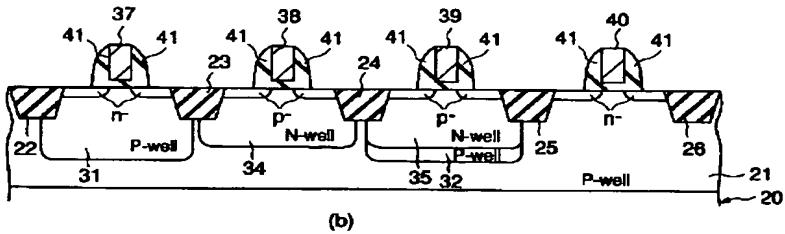


{b}

【図5】

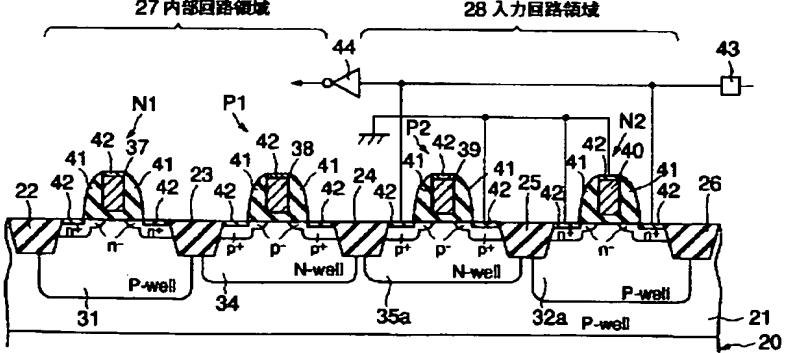


(a)

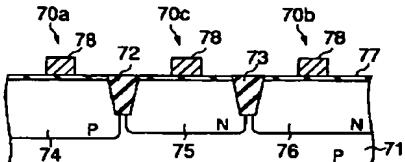


11

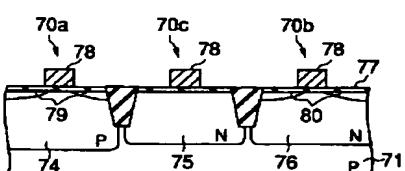
【図 7】



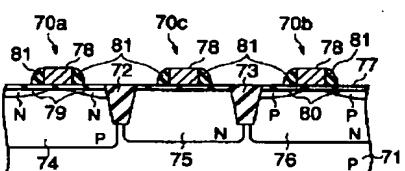
【図8】



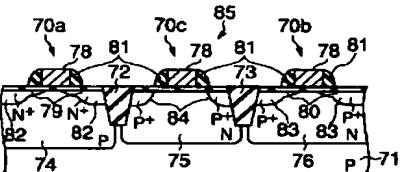
(a)



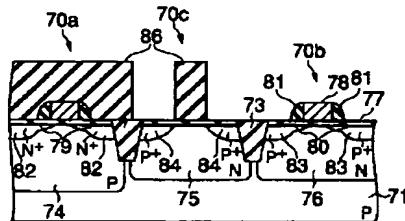
(b)



(c)

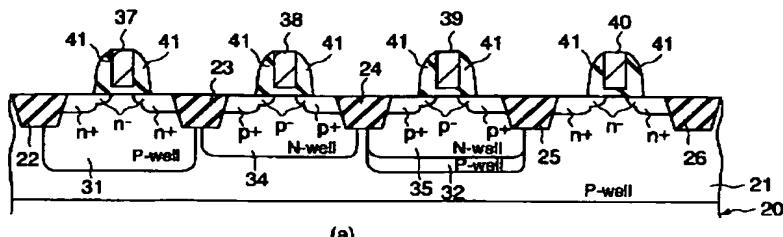


【図12】

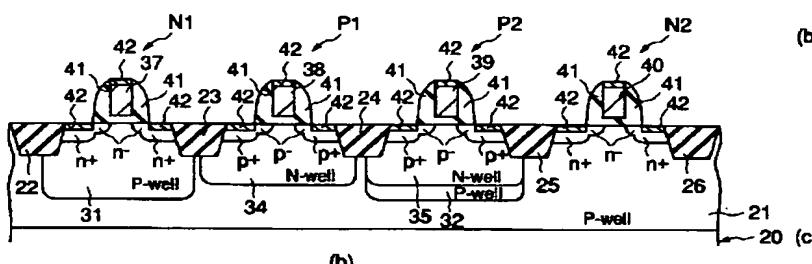


(a)

【図6】

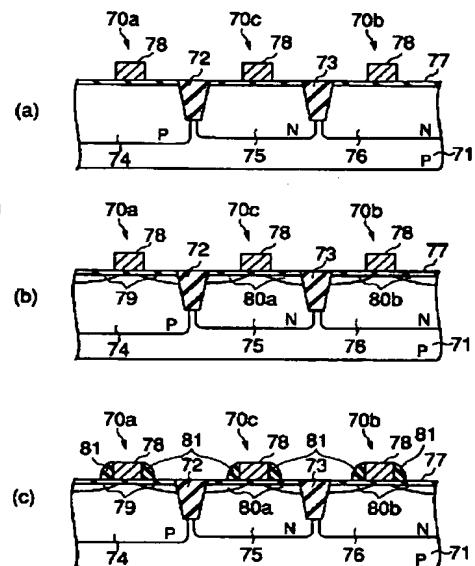


(a)

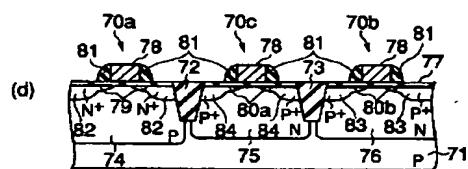
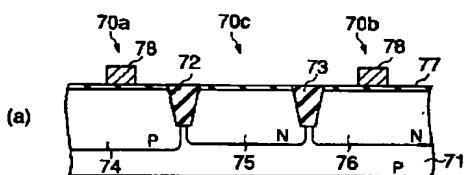


(b)

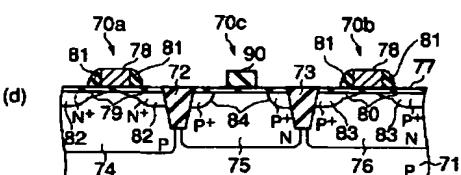
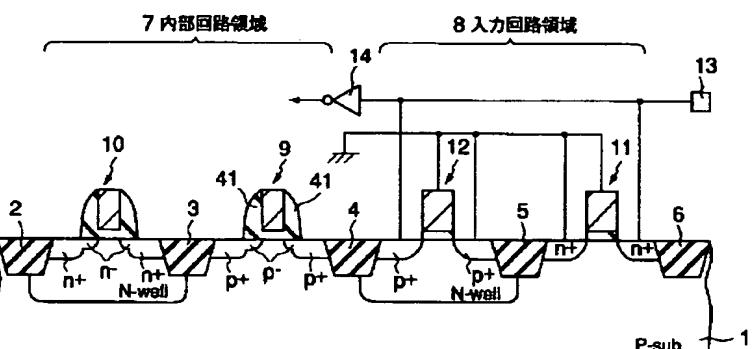
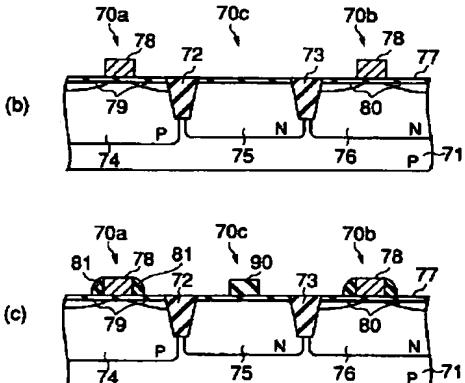
【図9】



【図13】



【図14】



フロントページの続き

(51) Int. Cl. 7  
H 01 L 29/78

識別記号

F I

マーク (参考)

F ターム (参考) 5F038 BE07 BH07 BH13 CD19 EZ20  
5F040 DA23 DB01 DC01 EA02 EC01  
EC07 EC13 EF02 EH02 EK01  
FA03 FA05 FA07 FB02 FC02  
FC11 FC19 FC21  
5F048 AA02 AA09 AB06 AC03 BA01  
BB03 BB06 BB07 BB08 BB12  
BC06 BE02 BE03 BF06 BG11  
CC08 CC09 CC15 CC19 DA25  
DA27